

経済産業大臣賞

ハイブリッド接合の開発と
省電力チップレット集積技術への適用

横浜国立大学 准教授

井上 史大

株式会社ディスコ 技術営業部

寺西 俊輔

東レエンジニアリング株式会社 メカトロファインテック事業本部第一事業部開発部・技師

青木 進平

1. 緒 言 (序論)

次世代エッジコンピューティング、超分散グリーンコンピューティングなどでデータセンターにて集約されたデータ処理を行うのは AI に搭載されたロジックデバイスである [1]。現在のデジタル投資によるデータ処理量の爆発的な増加により、データセンターは今後も指数関数的に増加すると予想されている。しかしそのデータセンターの電力消費量が膨大なものとなりつつあり、データセンターの電力消費量の 60% を占めるロジックデバイスの高エネルギー効率化を推し進めることによって、消費電力を低減することが急務となっている (図 1)。それに加え AI を搭載したエッジ端末も純増傾向にあり、ロジックデバイスの低消費電力化は数多の民生品デバイスの低消費電力化、引いてはデジタル基盤の最重要課題になりつつある。

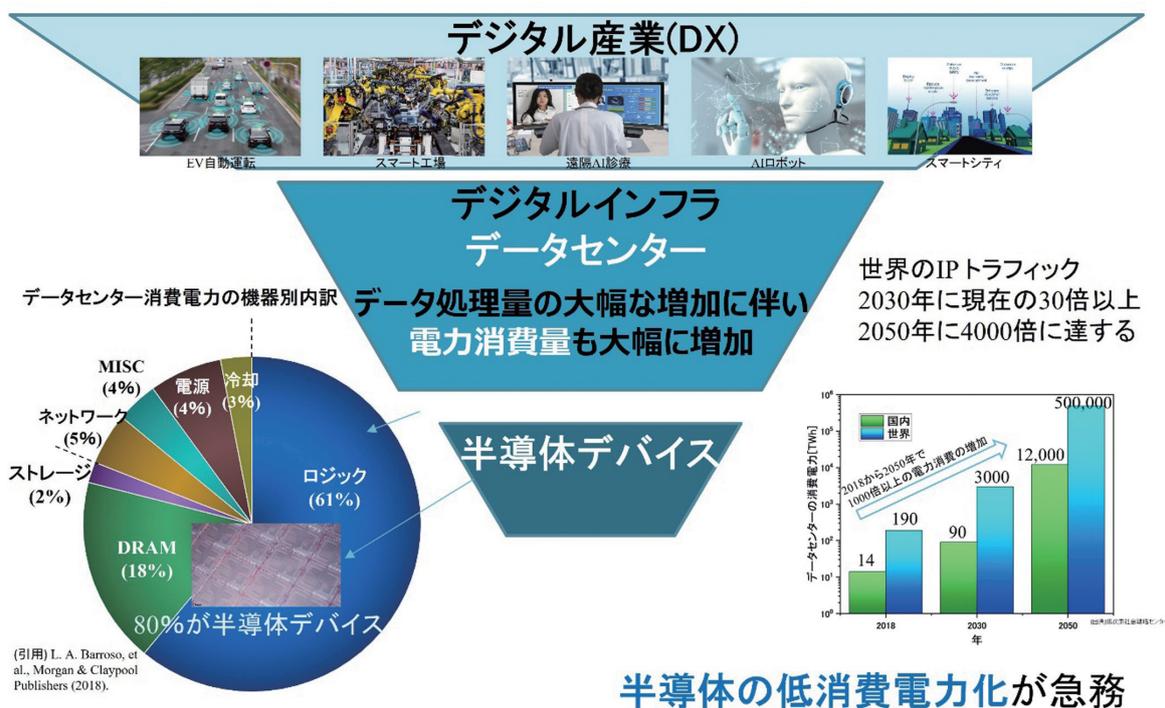


図1 半導体の重要性

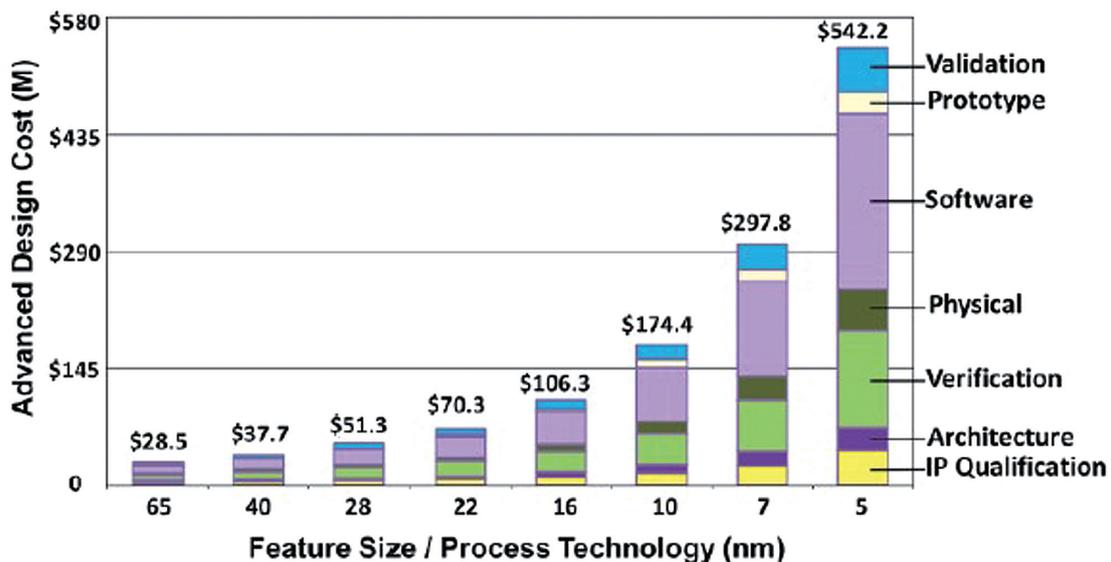


図2 プロセスノードとデザインコスト [2]

ロジックデバイスは今までテクノロジーノードが進むにつれて、素子が微細化し高集積化と共に低消費電力化も達成されてきた。一方でその製造に目を向けると、最先端性能を備えた AI 向けロジックデバイスは限られた大手のデバイス製造企業が極紫外線 (EUV) リソグラフィ露光機などの超高額の装置を揃えた製造拠点を形成するなど、多額の研究開発とインフラへの投資をしなければ製造不可能となっている [1]。また現在、半導体の需要が大きくなることで問題になっているのは、Time to Market (TTM) の遅延である。製造に関する研究開発に投資はしているが、歩留まりの問題から製品が市場に出るまでの速度が遅くなっている。さらにこの傾向は設計開発でも同様であり、先端テクノロジーノードほど必要となるリソースが指数関数的に増加し、TTM が遅延すると報告されている (図2)。

つまり低消費電力のロジックデバイスは AI を含む様々な「需要」のみ指数関数的に増加しているにも関わらず、設計 / 製造 (ものづくり) 能力が技術開発、キャパシティ、コスト面で追いついていないのが世界的な現状である。

これを背景にアメリカ CHIPS 法 (CHIPS for America Act) を代表例とし、世界的な半導体投資、政府資金補助 / 支援が非常に活発化している。我が国の半導体戦略も見直しがされており、熊本や北海道での製造拠点への戦略的政府資金投資や各民間企業の半導体投資を中心に、半導体に関する報道が連日なされている。

2. チップレット

先端半導体においてひとつの指標とされてきた、微細化則 (ムーアの法則) による高集積化、低消費電力化を達成するための開発投資コスト、設計最適化が問題となっている。これらの現状を打破する設計思想、集積技術が、「チップレット」である。必要な機能を分割し適切な技術ノードで高歩留まりにて製造し、半導体後工程の組み立て技術によって接続・パッケージをすることで高集積化、Time to Market の短縮、配線最適化による低消費電力化が達成

可能な技術である(図3)。このチップレットはMITテクノロジーレビューが2024年の始めに出した『2024年に起こる10件のブレークスルーテクノロジー』の中にも挙げられる、先端技術トレンドのひとつである[3]。

チップレットの基本的なコンセプトは、ダイ(チップ)の一面にすべての要素を作り込む(=モノリシック)のではなく、さまざまコンポーネントを必要な技術ノードに沿って作り、それを後に組み立てて基板上の配線でつなげていくものである。モノリシックのみで微細化による低消費電力化を進めるためには、多くの工程を繰り返さなければならず、さらにダイの面積が大きくなればなるほど不良が発生してしまう。一方でチップレットであれば良品選別可能というだけでなく、配線の再設計や最適化も可能であり、エネルギー効率を非常に高くすることが可能となる。さらに小さなチップレットで作成し「つなぐ」ことによって、生産性と歩留まりが向上すると考えられている。またチップレットは短TAT(Turn-Around-Time)化とも呼ばれる、生産工程の最適化とも相性が良く、TTMを加速させることが可能である[4]。さらには一度設計したチップレットは他のデバイスに再利用することも可能であり、知的財産再利用によるコスト削減、リードタイムの短縮にもつながる。

このようにチップレットそのものは技術的に特別な革新があるわけではないが、より経済的に低消費電力の半導体を製造し、数多の需要を満たすには、この設計/製造のコンセプトなしでは不可能となりつつある。

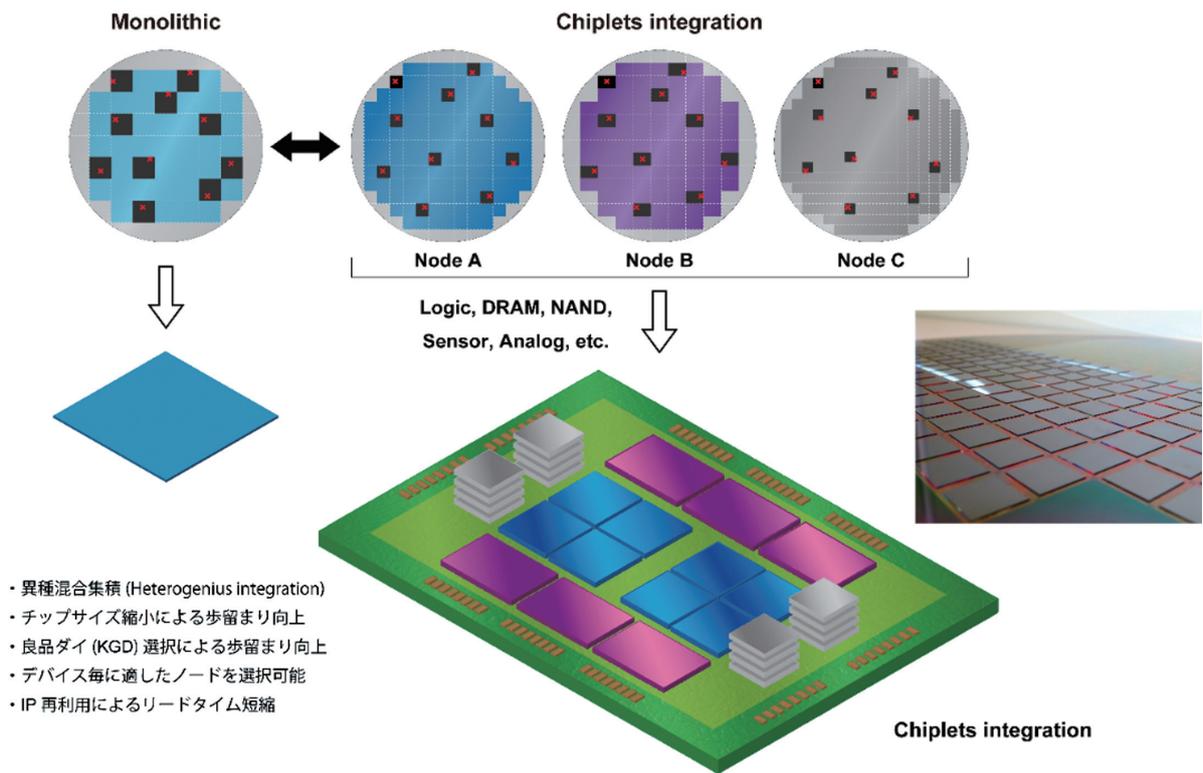


図3 チップレット集積

3. 「前工程と後工程の融合」の鍵、ハイブリッドボンディング

先端のチップレット応用に向けてウエハを後工程、前工程のラインにまたがって流す、「前工程と後工程の融合」技術が推し進められている。

現在のチップレットのチップ集積は、後工程パッケージ基板上で行われている。しかしより高度なチップレットデバイスを作成するためには前工程 (FEOL) 微細配線技術が適用可能な300mmのSiウエハ上で集積されることが必要となる。しかしそこには多くの課題が存在する。例えば、インテルのUCIe規格に関する論文によると、今後のチップレット開発のためには垂直方向配線のピッチ短縮が必要となる[5]。現在垂直方向の配線は溶剤(はんだ)バンプで行われているが、FEOLプロセスとは親和性がない。さらにバンプ熱圧着接合は熱と圧着を使用するという構造上、接合ピッチ縮小の限界を迎えており、先端チップレットの領域では不十分である。

そこで、開発が進んでいるのが「ハイブリッド接合(ボンディング)」である(図4)。この技術をチップレットに応用することで、垂直方向配線ピッチの縮小とウエハへの適応、両者が達成できるまさに「前工程と後工程を繋ぐ」重要技術として開発が進められている。

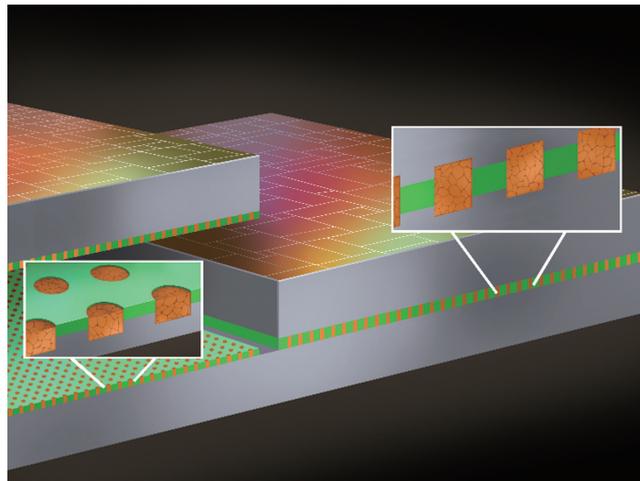


図4 ハイブリッド接合

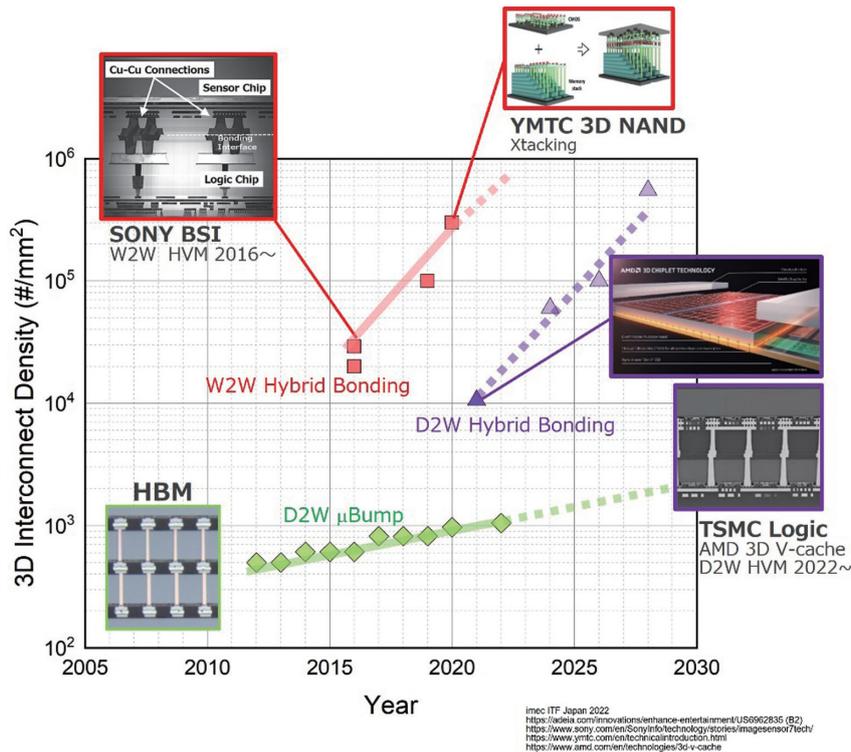


図5 ハイブリッド接合のロードマップ

ハイブリッド接合は3次元集積において必要不可欠な技術であり、すでに Wafer-to-Wafer (W2W) 接合では裏面照射型 CMOS イメージセンサーや 3D NAND メモリを中心に実用化されている (図5) [6,7]。ウエハ2枚を貼り合わせる W2W 技術は、上下のダイのサイズを同じにしなければならず設計上の制約を伴う。また、歩留まりの観点からも上か下のウエハのどちらかに1つでも不良品が含まれていると上下で不良になってしまい、損失が非常に大きくなる。このことから、現在は、非常に歩留まりの高いイメージセンサーやメモリ同士の組み合わせのみで W2W 接合が使われている。

しかしチップレットにおいては、上下で異種チップのサイズを同じにすることは難しく、チップごとに切り分けて良品を選別し、良品だけを接合して生産性を上げていくことが必要となる。つまりダイをウエハ上に接続する Die-to-Wafer (D2W) レベルでのハイブリッド接合技術が求められている。

ただし、ウエハレベルの接合と比べるとダイレベルで接合することは多くの技術的な困難が伴う。接合装置を例にあげると、ダイレベルの接合において、今までは後工程の技術であったためチップ表面の清浄度はウエハレベルほど要求されていなかった。しかしハイブリッド接合では FEOL と同等の非常に高い清浄度が求められており、現在は対応している装置が研究開発段階にある。またダイを個片化するダイシングもウエハレベルでは大きな問題にはならないが、ダイレベルでは今までにない清浄度を求められている。

さらに集積手法にも大きな課題がある。例えばチップをウエハの上に1つずつ載せる技術には複数の乗り越えるべき課題が存在する。ダイの接合に使用されるボンダーはチップを動かす際に表面を掴んで(触って)搬送するのが標準である。しかしチップの表面を触りながら、

ピックして反転させ移動する工程では、接合表面にパーティクルやごみが付着し活性化面も失われることから、ハイブリッド接合対応には様々な工夫が必要である。また、チップごとに切り分けた後は、ウエハの上ではなく、ダイシングフレームに固定されるため FEOL 向けのウエハ装置で一括での処理はできない。それらに加えて大きな課題がスループットである。ウエハのように一括で接合はできないため、ダイ一つにかかる時間は数秒に抑えなければならない。そのほかにも CMP の後の数多くのプロセス、低温化といった課題が挙げられ、これらすべてを解決し量産に適応可能な集積技術や装置は現状まだなく開発段階である。

4. D2W ハイブリッド接合向けダイシング、ダイボンダー技術開発

これらの課題に対して著者らは2022-2023年度にかけてダイレベルハイブリッド接合に対応する新規装置の開発を産学官連携体制で進めてきた。以前より著者らは共同研究としてダイシングやグラインディングの装置開発を行ってきた。その中でもパッケージング最大の会議、IEEE Electronic Components and Technology Conference (ECTC) 2019において共著で発表した結果は [8]、現在も非常に多くの引用を受けるなど、D2W ハイブリッド接合向けの先駆的なダイシング技術として評価を受けている。この論文の中で D2W 直接接合においては新たなダイシング技術が必要になると紹介してきた。

コストを考慮するとプラズマやレーザーでの加工に比べて、ブレードダイシングに大きなアドバンテージが存在する。そこでハイブリッド接合に対応する「クリーンなブレードダイシング」を開発、その性能が他の技術と遜色ないと実証してきた。ダイシング時のウエハのパーティクル汚染を抑制する装置機構や素材の開発に加え、ポスト洗浄に新規なものを取り入れ、表面の清浄化向上、さらに歩留まり向上を達成してきた。これらの成果は、現在量産適用に向けて複数のデバイスメーカーと評価が進んでいる。

またボンディング工程においても上述のようにパーティクルや汚染対策が大きな課題である。パーティクルに関しては、気流解析を元にクリーンユニットを最適な配置にすることで、ボンダー装置内のクリーン度を10倍以上向上させた。また、活性化された接合表面を非接触でウエハからのダイのピックアップや反転が可能な搬送システムを実現した。これらにより、高クリーン環境下で、接合面を汚染せずに搬送から接合が可能な試作機開発の協力を行ってきた [10]。本試作機の結果を元に量産設備の開発に関しても産学連携で取り組んでいる。

図6は今回開発を行ったプロセスの工程である。上記の新規開発装置を組み合わせ、従来まで不可能であったブレードダイシングで個片化されたダイのボイドレス集積を達成した。接合絶縁膜が堆積、研磨された300mm ウエハに対してクリーンブレードダイシングによって個片化、接合表面にプラズマ活性化、直接接合を施し、ダイシング由来、ボンダーの搬送由来のボイドがなく接合が可能であると実証した。すでにパターン上の集積の試験にも成功しており(図7)、今後は電気特性評価や各装置の精度向上、改善に着手をする。

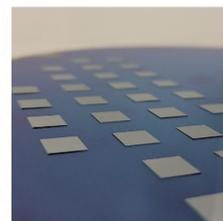
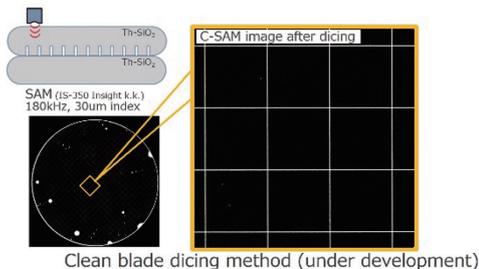
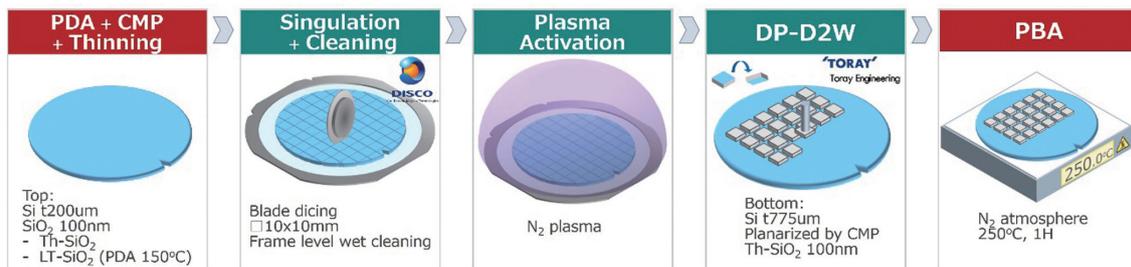


図6 D2W ハイブリッド接合の実現に向けた装置開発、集積手法実証試験

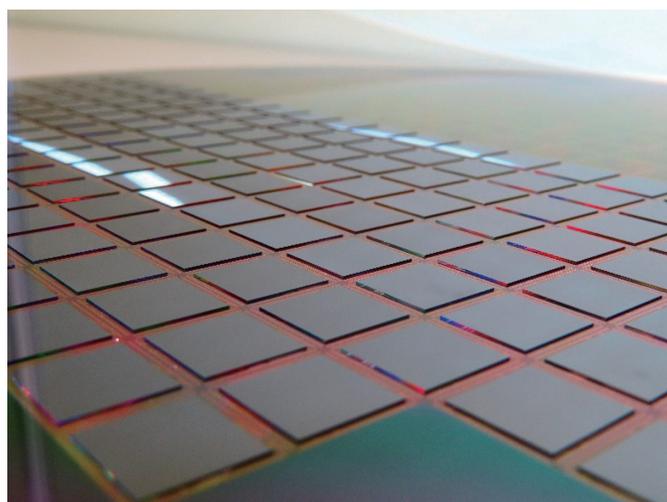


図7 D2W ハイブリッド集積ウエハ

5. 先端 FEOL チップレット向け新規集積技術

さらに、D2W ハイブリッド接合の早期実用化に向けて、チップをピックした後に直接ウエハに接合するのではなく、仮のウエハ（キャリアウエハ）の上に一度載せる「コレクティブ D2W 接合」が検討されている [8]。この集積手法ではキャリアウエハにダイを並べることによって、1つのウエハとしてハンドリングが可能となる。現在、前工程で用いられている洗浄装置、プラズマ活性化、最終的には接合そのものもウエハ装置群を用いて一括で処理でき、スループットを上げつつも清浄度の高い集積プロセスが可能となる。さらにもう一つの代替案が「リコンストラクティッド D2W 接合」である。2022年の IEDM において Intel はこの手法を用いたロジックデバイス作成の基礎データを開示しており、Intel では Quasi-Monolithic

Chip(QMC)と呼ばれている [11]。この手法ではダイをキャリアウエハ上に直接接合によって機械的に接合する。次にダイとダイの間隙を非常に厚膜の酸化膜(SiO₂)で完全に埋める。続いて表面CMPを行い、ハイブリッド接合面を形成する。その後プラズマ活性化、洗浄、接合をW2W接合同様のプロセスで行う。最後にキャリアウエハをグラインディングによって取り除く。この手法もコレクティブD2Wと同様にウエハ用の装置で接合まで可能であり、クリーン度を高く保ちつつ、高アライメント精度でダイの集積ができるため非常に注目を集めている。

これら、早期に実用化が期待されるD2W接合手法に共通する課題はダイをキャリアウエハに仮置きするための「仮接着方法」である。現在はダイとキャリアウエハは完全に接合されているためグラインディングによってキャリアウエハを除去している。この方法では接合1ペア当たりの製造コストが大幅に上昇してしまうことが問題視されている。本研究ではD2Wハイブリッド接合の早期実用化と低コスト化に向け、D2W接合プロセスにおける新規な仮接着手法の確立とデモンストレーションを行い、そのメカニズムの解明を行ってきた。この新規仮接着手法のプロセスを(図8)に示す。ダイとキャリアウエハの仮接着はPE-CVDを用いて低温で堆積した酸化膜(Low-temperature deposited SiO₂, LT-SiO₂)のプラズマ活性化接合で行う。酸化膜はポリマーよりも硬く、接着方法も直接接合のためダイシフトのリスクを減らすことが可能である。また酸化膜は半導体プロセスで一般的に使用されている材料のため従来の前工程との互換性もある。さらにLT-SiO₂は接合後に熱処理を行うことで界面にボイドを形成する。このボイドを起点とした剥離をさせることで、キャリアウエハの除去にグラインディングを行う必要がなくなる。その結果1ペア当たりの製造コストを下げるができる。

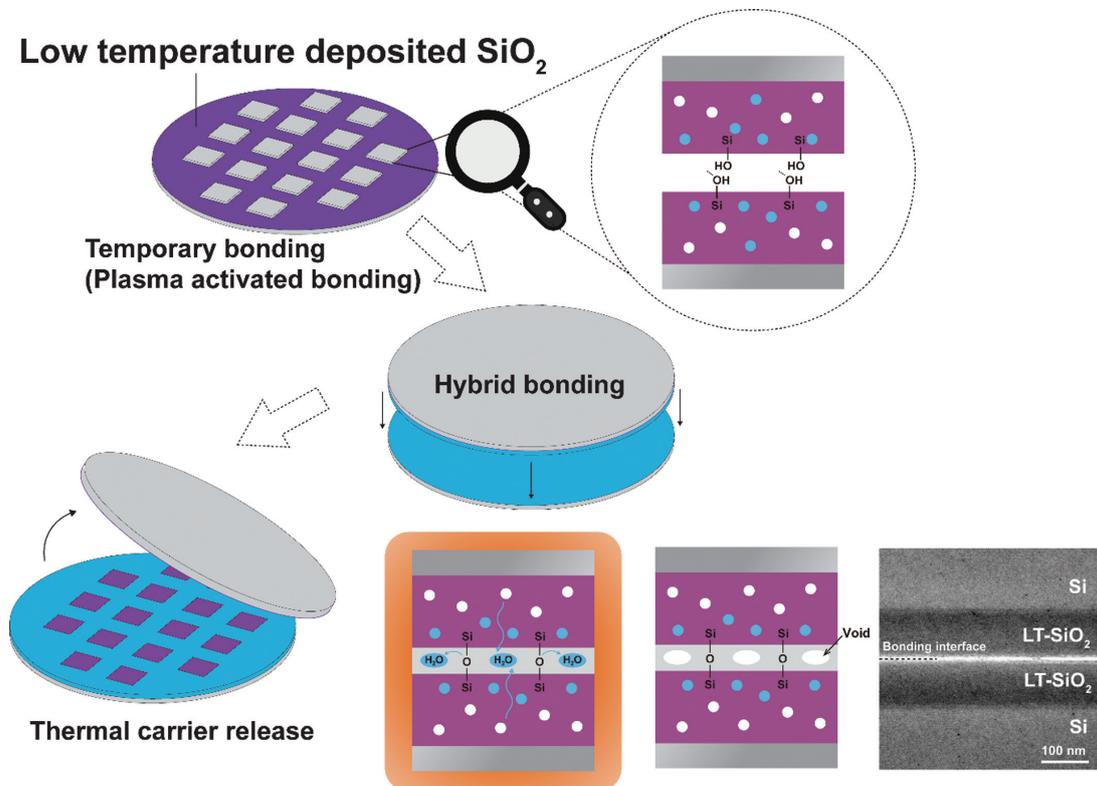


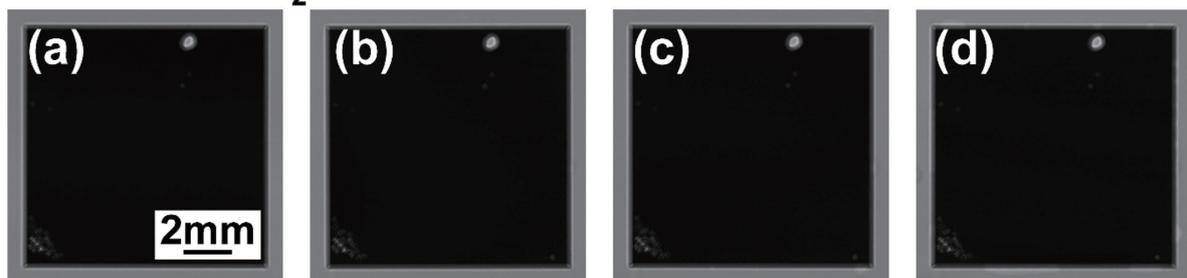
図8 本研究で開発を行ったLT-SiO₂による直接(仮)接合、及び剥離メカニズム

その接合エネルギーは熱処理後でも 2.29 J/m^2 であり、それは熱酸化膜の熱処理を施していないものと同程度で合った。よって剥離可能=仮接着として応用可能であると分かった。さらに TDS より熱処理中に LT-SiO₂ から大量の水分が脱離することを明らかにした。それぞれのピークについて解析すると、(1) 大気から吸収した水分の脱離、(2) 水酸基(OH 基)と水素結合した大気から吸収した水分の脱離及び膜中の OH 基の反応、(3) 膜に残存する未反応プリカーサー (TEOS) の反応、が由来であることが分かった。さらにウエハ接合ではほとんど解析に使用されていない、陽電子消滅法により水や不純物の脱離によって膜に空孔が形成されることを確認したきた [12]。つまりこの LT-SiO₂ は D2W 接合でもアニールによってボイドを形成し、また D2W の接合強度も W2W 接合と同様に低く、ボイドを起因に剥離させることが可能であると実証してきた(図9)。

以上の結果から LT-SiO₂ を用いた直接接合は D2W 接合における新規な仮接着手法として機能し、実際に D2W ハイブリッド接合に応用可能であることを実際の量産工程に近い装置群を使用した集積でダイレベル接合まで行うことで示してきた [10,12-14]。

この産学連携の成果は世界最大の国際会議である ECTC2023 で発表し、多数のメディアでも報道されている [10]。今後、研究の更なる発展を検討中で、長期信頼性のある D2W ハイブリッド接合のサンプルの作成を進めている。

Thermal SiO₂



LT-SiO₂

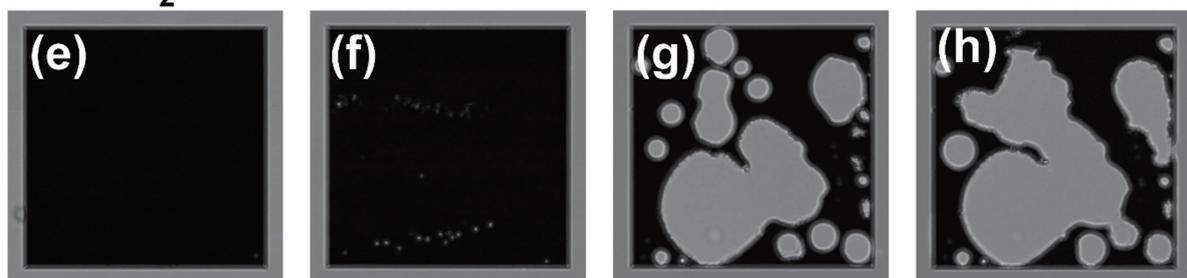


図9 D2W 直接接合後の超音波像。熱酸化膜と LT-SiO₂ の比較。(a), (e) as-depo, (b), (f) 150°C (c), (g) 250°C, (d), (h) 350°C アニール後の界面

6. チップレット向け接合強度測定手法の確立

さらには集積技術や要素技術だけでなく、新規なチップレットでの「測定、評価手法」においても独自の観点から世界的にも必要とされる、今後の開発に不可欠な技術の開発を進めてきた。特に注力して評価を進めてきたのが、D2W ハイブリッド接合での接合強度測定手法

の開発である。W2W ハイブリッド接合では Double-Cantilever Beam (DCB) 法と呼ばれる、カミソリを差し込むことによって接合強度を測定する手法が用いられている。しかし D2W 構造では図10に示すようにブレードの挿入ができないため、接合強度評価が不可能である。しかし接合強度はボンダーやダイシングなどの装置開発においても必須の評価項目であり、新たな評価手法が求められている。

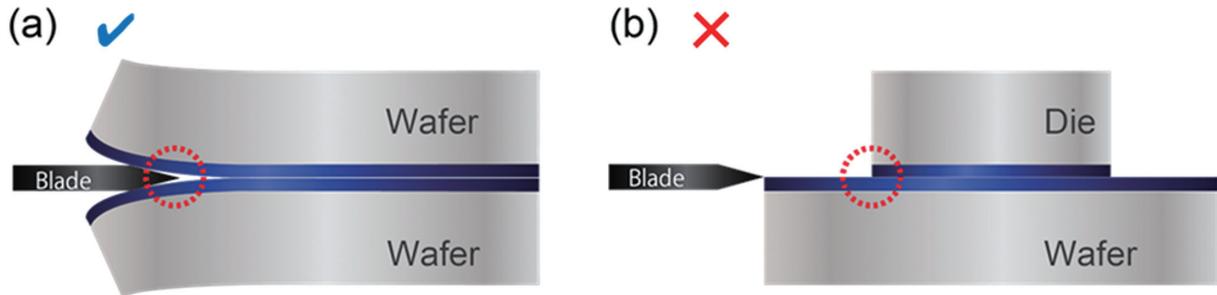


図10 DCB 法による接合強度評価の可否

そこで、ブレードを差し込むのではなく、上部から圧子を押し込むことによって、周囲に剥離を生じさせ、その剥離を表面解析像より間接的に測定することで接合強度を評価する「ナノインデンテーション法」を見出し、評価を行った。まずは W2W サンプルにおいて DCB 法との比較を行い、その結果、ナノインデンテーション法による接合強度評価では DCB 法での測定結果と近い値を示すと分かった(図11)。

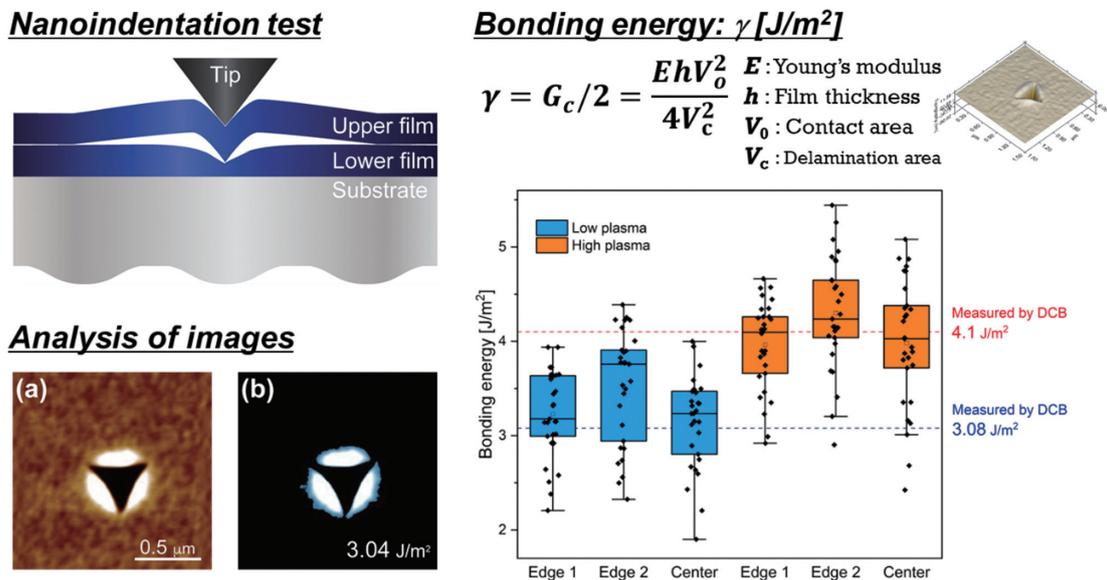


図11 ナノインデンテーション法による接合強度測定

次に実際に D2W 直接接合を行ったウエハと、それと全く同条件で作成した W2W のサンプルを作成し、接合強度の比較測定を行った。接合強度の測定結果は非常に近いものとなり、本研究で行っているナノインデンテーション法が D2W に適応可能であると実証した。

さらには本研究で用いているプロセスが実用に耐えうるものであるとも同時に実証した。これらの評価結果は世界的にもまだなされておらず、ダイシングやダイボンダー、本実験で用いた集積手法が実用レベルで稼働しているという強力な証明となる。これらの評価手法をチップレットに応用した事例はなく、世界でも初めての測定結果となった[15]。しかし、現在は測定ばらつきが多いため信頼性の高い接合強度評価には複数回の測定を通して測定結果の標準偏差や平均値などから判断する必要があるなど課題も残されている。更なる高精度な接合強度測定技術の確立に向けて、検討を進めている。

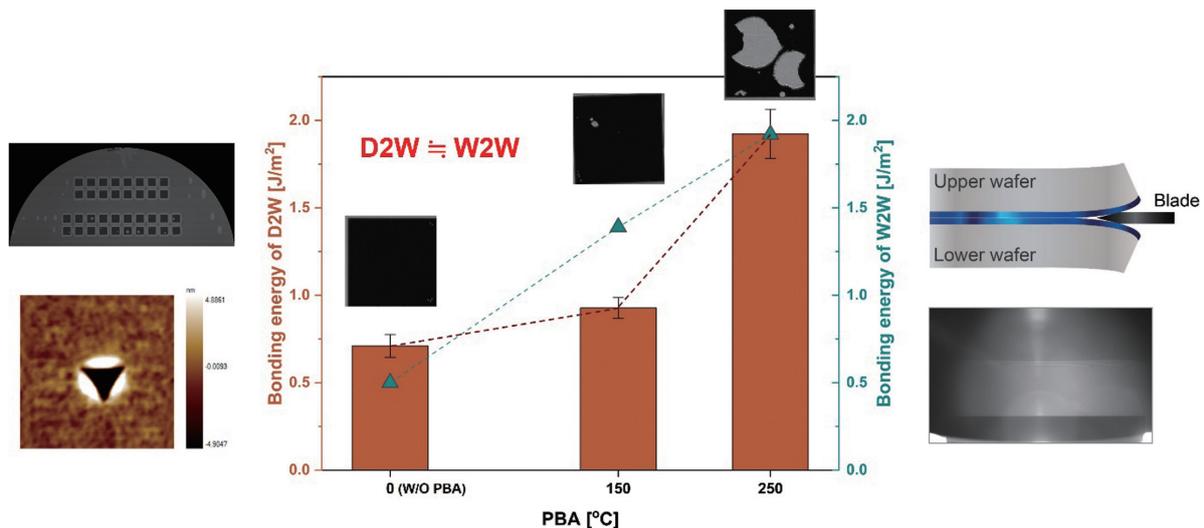


図12 W2W と D2W の接合強度比較試験結果

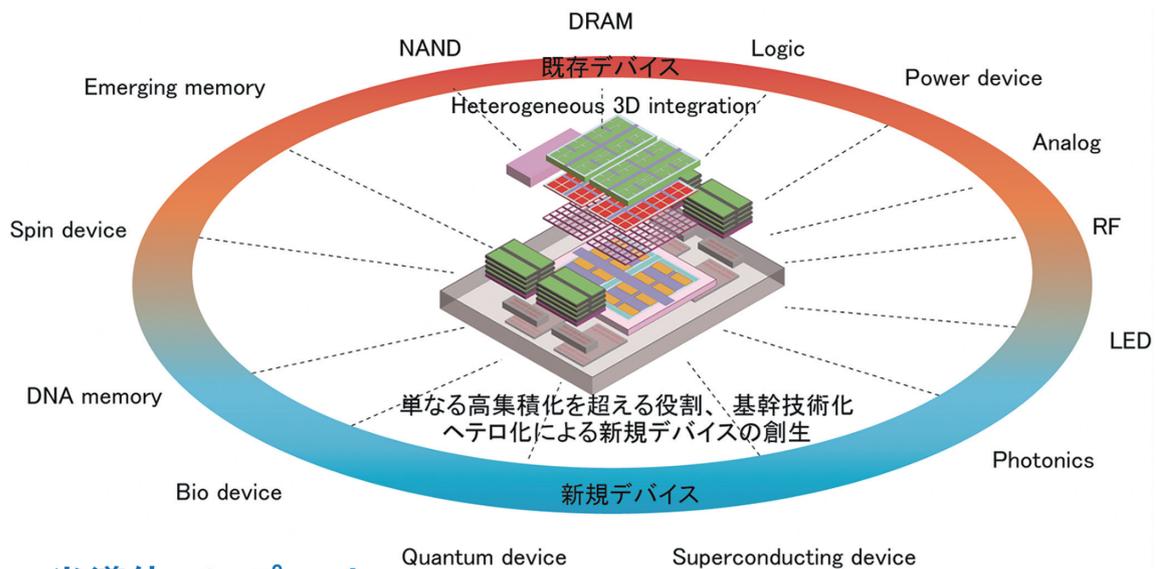
7. 将来展望、チップレットを用いたヘテロロジーニアスデバイス

本研究では先端チップ同士を繋ぐチップレット技術に着目し、開発を進めてきた。しかし将来的には単にチップを繋ぐだけではなく、これらの技術が「ヒト」、「モノ」、「データ」を高エネルギー効率で繋ぐ技術へと進化と深化させることに期待が寄せられている。

2050年を見通すと自動運転等による輸送機器の自動化(スマートモビリティ)、Beyond 5Gによるスマートシティ、VR/ARによるデジタルサービス、オンライン診療による遠隔診療等これらすべてにおいて電子デバイスが重要な役割を担っている。こういった高度な最終アプリケーションの実現は単一デバイスの微細化による高集積化や高性能化のみでは達成できず、メモリ、ロジック、パワーデバイス、各種センサ、光デバイスなど様々なデバイスを「省エネルギー」で、高速に「つなぎ」、並行運用可能な「異種混合(ヘテロロジーニアス)集積」に大きな期待が寄せられている。

特に我が国半導体産業復活の基本戦略の Step3として挙げられている「光電融合技術」ではまさしくチップレットやヘテロ集積の概念を用いて「電子情報」を「光情報」で、しかも省エネルギー、かつ高速で繋ぐ必要がある[1]。今回開発した集積手法や各種装置はこれらの世代においても活用可能であると考えられる。こういった異種接合はこの論文で研究紹介をした「チップレット集積」で作成される必要があり、チップレットを用いた新たなデバイスを創生することに大きな期待が寄せられており、本研究はそういった将来デバイスの革新のその一

助になると考えられる。



3D半導体(チップレット)

チップサイズを小さくすることで不良率を低下(歩留まりを向上)
製造コストを低減



異種デバイスをも集積

図13 ヘテロジーニアスデバイス

8. 結 言

現状の半導体開発を俯瞰し、チップレット集積技術、特にその前工程と後工程の融合技術、垂直方向配線に着目し、有力とされるハイブリッド接合に狙いを定め、「装置」「集積技術」「評価技術」それぞれにおいて新規な技術を開発した。

本論文中で紹介した新規な集積手法で必須となる仮接合手法は、D2Wでのデモンストレーションのみならず、原子レベルでの解析をも行うことで、その特異な接合と剥離のメカニズムを解明した。さらに評価技術においては今までは測定困難であった、D2Wサンプルの測定強度測定を可能とし、装置や集積技術の実証により強力かつ現実的な意義を見出すことが可能となった。

これらの研究開発はきたる「ヘテロジーニアスデバイス」の時代の基盤となり得る、独創性と応用可能性の非常に高い技術である。

謝 辞

この成果は、国立研究開発法人新エネルギー・産業技術総合開発機構(NEDO)の助成事業(JPNP20004, 官民による若手研究者発掘支援事業)の結果及び一部のポスト5G情報通信システム基盤強化研究開発事業/先端半導体製造技術の開発(JPNP20017)の成果により得られたものです。

発表履歴

学会 4件

“Inorganic Temporary Direct Bonding for Collective Die to Wafer Hybrid Bonding”, The 2023 IEEE 73rd Electronic Components and Technology Conference (ECTC2023)

“Interface Analysis of Low-Temperature Deposited SiO₂ for 3D integration” The Electrochemical Society Meeting 2023 (ECS2023)

“Releasable Direct Bonding for Fine Pitch Die to Wafer Hybrid Bonding”, Advanced Metallization Conference 2023 32nd Asian Session (ADMETA plus 2023)

“In-Depth Analysis of Bonding Interface at Die Level Hybrid Bonding”, “Surface Topography Control for Polymer/Cu Hybrid Bonding”, International Conference on Electronics Packaging (ICEP2024)

論文 2報

“Exploring bond strength for an advanced chiplet with hybrid bonding”, Chip Scale Review, Vol. 8 No.2, pp. 39 (2024)

“Temporary Direct Bonding by Low Temperature Deposited SiO₂ for Chiplet Applications”
K. Onishi, H. Kitagawa, S. Teranishi, A. Uedono, and F. Inoue, ACS Appl. Electron. Mater. 2024, 6, 4, 2449–2456

特許

特願 2023-81568「積層体の製造方法」

報道 計10件

2023/05/30・ネット・Tech+(マイナビニュース) 横浜国大など、チップレットの配線高密度化を可能にする技術を開発

2023/05/30・ネット・グローバルネット 横浜国立大学、ディスコ、東レエンジの3社が新しいチップ集積手法を開発

2023/05/31・新聞・朝刊25面 日刊工業新聞 半導体チップの3D集積技術開発 横浜国大・ディスコ・東レエンジ

2023/05/31・新聞・朝刊1面 電波新聞 横浜国大 チップ仮接合や剥離で新技術 ディスコ、東レエンジンと開発

2023/05/31・ネット・EE Times Japan・横浜国大ら、新たな半導体チップ集積技術を開発

2023/05/31・ネット・fabcross for エンジニア 直接接合技術を用いた、新たなチップ仮接合および剥離技術を開発——300mm ウエハ上での実証に成功 横浜国立大ら

2023/06/01・新聞・朝刊6面 電波新聞 横国大、ディスコ、東レエンジン チップレット集積で新技術 半導体後工程 配線の高密度化に貢献

2023/06/08・新聞・朝刊26面 日刊工業新聞 コラム「レーザー＝井上さん 産学連携で実証」

2023/06/14・ネット・NIKKEI Tech Foresight 横国大など、後工程に新手法 チップレット集積向け

2023/06/16・新聞・朝刊4面 化学工業日報 チップ仮接合に低温 SiO₂膜活用 横国大、ディスコなど開発

2023/06/22・新聞・朝刊3面 電子デバイス産業新聞 横浜国立大学 新たなチップ集積手法 大手2社と共同開発

2023/07/19・雑誌・17ページ目 電波新聞 中文のため省略：Asian Electronics Industry 2023夏季号

参考文献

- [1] 経済産業省「半導体・デジタル産業戦略」
https://www.meti.go.jp/policy/mono_info_service/joho/conference/semicon_digital.html
- [2] M. Lapadeus, “Big Trouble At 3nm”, Semiconductor Engineering, June 21, 2018.
- [3] <https://www.technologyreview.com/2024/01/08/1085120/chiplets-moores-law-advanced-micro-devices-intel-chips-breakthrough-technologies/>
- [4] 情ポヨ「ラピダスが目指す「製造方法」に未来はあるのか」
<https://toyokeizai.net/articles/-/743738>
- [5] D. Sharma, et al., “Universal Chiplet Interconnect Express (UCIe)[®]: An Open Industry Standard for Innovations with Chiplets at Package Level.” IEEE Transactions on Components, Packaging and Manufacturing Technology 12(9):1-1.
- [6] Y. Kagawa, et al., “Novel Stacked CMOS Image Sensor with Advanced Cu₂Cu Hybrid Bonding.” Technical Digest - International Electron Devices Meeting, IEDM 8.4.1-8.4.4 IEDM2016
- [7] M.Tagami, CMOS Directly Bonded to Array (CBA) Technology for Future 3D Flash Memory IEDM2023
- [8] F. Inoue, et al. “Advanced Dicing Technologies for Combination of Wafer to Wafer and Collective Die to Wafer Direct Bonding,” 2019 IEEE 69th Electronic Components and Technology Conference (ECTC), 2019.
- [9] A. Phommahaxay, et al., Enabling ultra-thin die to wafer hybrid bonding for future heterogeneous integrated systems, 2019 IEEE 69th Electronic Components and Technology Conference (ECTC) 607-613
- [10] F. Inoue et al., “Inorganic Temporary Direct Bonding for Collective Die to Wafer Hybrid Bonding”, The 2023 IEEE 73rd Electronic Components and Technology Conference (ECTC 2023)
- [11] A. Elsherbini, et al, “Enabling Next Generation 3D Heterogeneous Integration Architectures on Intel Process”, International Electron Devices Meeting (IEDM), (2022)
- [12] K. Onishi et al., “Temporary Direct Bonding by Low Temperature Deposited SiO₂ for Chiplet Applications”, ACS Applied Electronic Materials (In press, DOI: 10.1021/acsaelm.4c00114)
- [13] H. Kitagawa et al., “Interface Analysis of Low-Temperature Deposited SiO₂ for 3D integration”, European Coating Symposium 2023 (ECS2023)
- [14] K. Onishi et al., “Releasable Direct Bonding for Fine Pitch Die to Wafer Hybrid Bonding”, Advanced Metallization Conference 2023 32nd Asian Session (ADMETA plus 2023)
- [15] J. Fuse et al., “Exploring bond strength for an advanced chiplet with hybrid bonding”, Chip Scale Review, Vol. 8 No.2, pp. 39 (2024)